



TSMC plant 10-Nanometer-Fertigung für Ende 2015

Nächstes Jahr möchte TSMC Chips mit 10 Nanometer Strukturbreite herstellen. Die Vorserienproduktion des aktuellen 16-Nanometer-FinFET-Plus-Prozesses ist gerade gestartet. TSMCs Präsident C.C. Wei hat bei der Besprechung der Zahlen des Rekordquartals den aktuellen Stand der Fertigungsprozesse erläutert. Die 20-Nanometer-Serienfertigung läuft seit Monaten, ein Großteil der Kapazität wird für Apples A8 genutzt. Die Risk Production des 16-Nanometer-FinFET-Prozesses (16FF) hatte TSMC im November 2013 begonnen, nun erfolgte der

Start der Vorserienproduktion für 16FF+.

16 Nanometer FinFET Plus soll verglichen mit dem bisherigen 16-Nanometer-FinFET-Prozess die Leistungsaufnahme der damit gefertigten Chips um bis zu 35 Prozent verringern, verglichen mit planaren 20-Nanometer-Prozess sollen es 50 Prozent sein oder bei gleicher Leistungsaufnahme eine 40 Prozent höhere Geschwindigkeit. Laut Wei arbeiten über 1.000 Ingenieure an 16 Nanometer FinFET Plus, die Chipausbeute ist deutlich besser als erwartet und er geht von knapp 60 Tape-outs aus.

Unter einem Tape-out versteht die Halbleiterindustrie die Vorlage für die Maske der Chips, welche in weiteren Schritten gefertigt und optimiert werden. Basierend auf diesen frühen Versionen soll Ende des zweiten oder Anfang des dritten Quartals 2015 die Serienfertigung von 16 Nanometer FinFET Plus starten.

Die weitere Planung sieht vor, dass TSMC zusammen mit seinen Partnern im vierten Quartal 2015 erste Tape-outs mit Chips im 10-Nanometer-Verfahren erreichen wird, die Vorserienproduktion soll noch 2015 anlaufen. Intel plant für nächstes Jahr ebenfalls mit 10-Nanometer-Technik, Globalfoundries und Samsung arbeiten derzeit an 14 Nanometer FinFET in Serie.

Quelle: golem.de , 20.10.2014, Autor: Marc Sauter

Kommentar

Die Realität droht mein Buch einzuholen. Zur besseren Erklärung:

FinFETs gehören zu der Gruppe der Multiple Gate Field Effect Transistors (MuGFET), einer Gruppe von Feldeffekttransistoren mit mehreren Gates, einer Technik, die federführend von IBM und Motorola entwickelt wurde.

Der Fin FET ist ein Doppel-Gate Feldeffekttransistor (FET), dessen Bezeichnung (Fin) von dem flossenähnlichen Siliziumaufbau des Source-Drain-Bereichs abgeleitet ist. Beim FinFET ist der Ladungsträgerkanal vollkommen vom Gate umgeben und erhebt sich vertikal vom Silizium-Substrat. Durch diesen dreidimensionalen Aufbau können die Transistoren enger zusammengebaut werden als bei planar aufgebauten Transistoren und die Gate-Elektroden können besser auf den Ladungsträgerkanal einwirken. Da die Gate-Elektrode den Ladungskanal unmittelbar beeinflusst, haben FinFETs extrem kurze Schaltzeiten, höhere Rechenleistungen und ein gutes

Hintergrundinfos zum Wissenschaftsthiller „Die Nanolithografie“ von Thomas Biehlig

Frequenzverhalten. Außerdem haben sie den Vorteil, dass sie weniger Energie benötigen, temperaturunempfindlicher sind, den aktiven Substratbereich effizienter ausnutzen, ein geringeres Rauschen und kleinere Leckströme gegenüber planarer Technik haben, was wesentliche Vorteile bei Speicherzellen hat. Zudem sind sie nicht instabil.

FinFETs haben eine Gate-Oxidschichtdicke und eine Gatelänge von etwa 10 nm und können in CMOS-Technologie hergestellt werden. Sie werden u.a. für SRAMs und in Logiken von Mikroprozessoren benutzt, die äußerst klein realisiert werden können

Quelle: ITWissen.info - Das große Online Lexikon für Informationstechnologie.

Kommentar

Alles kapiert? Ich auch nicht.

Im Buch habe ich mir allerdings ein wenig künstlerische Freiheit bezüglich gewisser technischer Parameter genommen. Finden Sie es heraus☺!

@ T.Biehlig

[Neugierig auf das Buch? Klicken Sie einfach auf diesen Link - und Sie werden zu Amazon weiter geleitet.](#)

